

550-421

**PAT-NO:** JP02001175542A  
**DOCUMENT-  
IDENTIFIER:** JP 2001175542 A  
**TITLE:** RECORDING AND REPRODUCING DEVICE AND SEMICONDUCTOR MEMORY  
**PUBN-DATE:** June 29, 2001

**INVENTOR-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
KATAYAMA, YUKARI	N/A
NAKAMURA, KAZUO	N/A

**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
HITACHI LTD	N/A

**APPL-NO:** JP11357349

**APPL-DATE:** December 16, 1999

**INT-CL (IPC):** G06 F 012/16 , G11 C 016/06 , G11 C 029/00

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To perform error correction while effectively utilizing both the error correcting function of a semiconductor memory chip and the error correcting function of a controller.

**SOLUTION:** The first error-correcting code(ECC) of an ECC circuit 107 of a controller 102 and the second ECC of on-chip ECC circuits 120-123 of flash memory chips 111-114 are made to be a BCH code (especially RS code) using the same Galois field and further, the generated polynomial of both the ECC has a continuous root. Besides, each of flash memory chips 111-114 has a means for reporting correction information showing the execution of error correction, calculated value information during correcting calculation, error position or error value to the controller while using the second ECC. Further, the controller 102 is provided with a means for returning the error correction using the second ECC to original on the basis of the

correction information, error position or error value and performing the error correction while using the calculated value information and a first ECC inspection symbol later.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-175542

(P2001-175542A)

(43)公開日 平成13年6月29日 (2001.6.29)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	マークト <sup>7</sup> (参考)
G 0 6 F 12/16	3 2 0	G 0 6 F 12/16	3 2 0 F 5 B 0 1 8
G 1 1 C 16/06		G 1 1 C 29/00	6 3 1 Z 5 B 0 2 5
29/00	6 3 1	17/00	6 3 9 C 5 L 1 0 6

審査請求 未請求 請求項の数10 O L (全 16 頁)

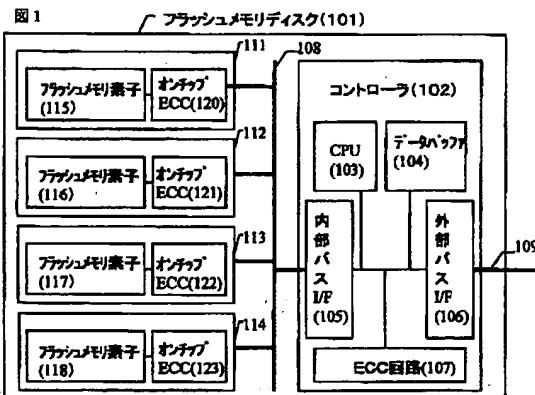
(21)出願番号	特願平11-357349	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成11年12月16日 (1999.12.16)	(72)発明者	片山 ゆかり 神奈川県川崎市麻生区玉禅寺1099番地 株式会社日立製作所システム開発研究所内
		(72)発明者	中村 一男 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
		(74)代理人	100095511 弁理士 有近 錦志郎
			F ターム(参考) 5B018 GA02 HA14 NA06 5B025 AA01 AD04 AD05 5L106 AA10 BB01 BB12 GG05

## (54)【発明の名称】 記録再生装置および半導体メモリ

## (57)【要約】

【課題】 半導体メモリチップのエラー訂正機能とコントローラのエラー訂正機能を共に活用してエラー訂正を行う。

【解決手段】 コントローラ(102)のECC回路(107)における第1エラー訂正符号とフラッシュメモリチップ(111～114)のオンチップECC回路(120～123)における第2エラー訂正符号とを、同じガロア体を用いたBCH符号(特にRS符号)とし、さらに両エラー訂正符号の生成多項式は連続した根を持つものとする。また、フラッシュメモリチップ(111～114)は、第2エラー訂正符号を用いてエラー訂正を行ったことを示す訂正情報や、訂正計算中の計算値情報や、誤り位置や誤り値をコントローラに通知する手段を持つ。また、コントローラ(102)は、前記訂正情報や誤り位置や誤り値を基に第2エラー訂正符号を用いたエラー訂正を元に戻してから、前記計算値情報および第1エラー訂正符号検査記号を共に用いてエラー訂正を行う手段を備える。



## 【特許請求の範囲】

【請求項1】 外部とのデータの入出力を行うための外部インターフェース手段と、入力されたデータに対して第1エラー訂正符号を生成するための第1エラー訂正符号生成手段と、前記第1エラー訂正符号を用いてエラー検出およびエラー訂正を行うための第1エラー訂正手段とを備えたコントローラ部、および、前記コントローラ部から渡されたデータおよび第1エラー訂正符号に対して該第1エラー訂正符号と同じガロア体上のBCH符号であり且つ連続した根を持つ第2エラー訂正符号を生成するための第2エラー訂正符号生成手段と、データおよび第1エラー訂正符号からデータを除いた第1エラー訂正符号検査記号および第2エラー訂正符号からデータおよび第1エラー訂正符号検査記号を除いた第2エラー訂正符号検査記号を記憶するためのメモリ素子と、そのメモリ素子から読み出したデータおよび第1エラー訂正符号検査記号および前記第2エラー訂正符号検査記号を用いてエラー検出およびエラー訂正を行うための第2エラー訂正手段と、その第2エラー訂正手段でデータおよび第1エラー訂正符号検査記号を訂正できたか否かの情報とエラー訂正計算途中の計算値情報と検出した誤り位置と誤り値とを前記第1エラー訂正手段に通知するための訂正情報通知手段と、前記メモリ素子から読み出したデータおよび第1エラー訂正符号検査記号または前記第2エラー訂正手段で訂正したデータおよび第1エラー訂正符号検査記号を前記第1エラー訂正手段に送るデータ送り手段とを備えた半導体メモリ部を具備し、前記第1エラー訂正手段は、前記第2エラー訂正手段でエラーを検出せず且つ前記メモリ素子から読み出したデータについて前記第1エラー訂正符号検査記号を用いてエラーを検出したか、又は、前記第2エラー訂正手段でデータを訂正できず且つ前記メモリ素子から読み出したデータについて前記第1エラー訂正符号検査記号を用いてエラーを検出したか、又は、前記第2エラー訂正手段で訂正したデータについて前記第1エラー訂正符号検査記号を用いてエラーを訂正を行い、そのエラー訂正が行えなかったなら前記メモリ素子から読み出したエラー訂正前のデータに対して前記第1エラー訂正符号検査記号を用いてエラー訂正を行うことを特徴とする記録再生装置。

【請求項2】 外部とのデータの入出力を行うための外部インターフェース手段と、入力されたデータに対して第1エラー訂正符号を生成するための第1エラー訂正符号生成手段と、前記第1エラー訂正符号を用いてエラー検出およびエラー訂正を行うための第1エラー訂正手段とを備えたコントローラ部、および、前記コントローラ部から渡されたデータおよび第1エラー訂正符号に対して

該第1エラー訂正符号と同じガロア体上のBCH符号であり且つ連続した根を持つ第2エラー訂正符号を生成するための第2エラー訂正符号生成手段と、データおよび第1エラー訂正符号からデータを除いた第1エラー訂正符号検査記号および第2エラー訂正符号からデータおよび第1エラー訂正符号検査記号を除いた第2エラー訂正符号検査記号を記憶するためのメモリ素子と、そのメモリ素子から読み出したデータおよび第1エラー訂正符号検査記号および前記第2エラー訂正符号検査記号を用いてエラー検出およびエラー訂正を行うための第2エラー訂正手段と、その第2エラー訂正手段でエラーを検出したか否かの情報とデータおよび第1エラー訂正符号検査記号を訂正できたか否かの情報とエラー訂正計算途中の計算値情報を前記第1エラー訂正手段に通知するための検出・訂正情報通知手段と、前記メモリ素子から読み出したデータと第1エラー訂正符号検査記号および前記第2エラー訂正手段で訂正したデータと第1エラー訂正符号検査記号を前記第1エラー訂正手段に送るデータ送り手段とを備えた半導体メモリ部を具備し、前記第1エラー訂正手段は、前記第2エラー訂正手段でエラーを検出せず且つ前記メモリ素子から読み出したデータについて前記第1エラー訂正符号検査記号を用いてエラーを検出したか、又は、前記第2エラー訂正手段でデータを訂正できず且つ前記メモリ素子から読み出したデータについて前記第1エラー訂正符号検査記号を用いてエラーを検出したか、又は、前記第2エラー訂正手段で訂正したデータについて前記第1エラー訂正符号検査記号を用いてエラーを訂正を行い、そのエラー訂正が行えなかったなら前記メモリ素子から読み出したエラー訂正前のデータに対して前記第1エラー訂正符号検査記号を用いてエラー訂正を行うことを特徴とする記録再生装置。

【請求項3】 請求項1または請求項2に記載の記録再生装置において、前記BCH符号は、RS符号であることを特徴とする記録再生装置。

【請求項4】 請求項1から請求項3のいずれかに記載の記録再生装置において、前記計算値情報は、前記第2エラー訂正符号の符号多項式を生成多項式で割った余りである剰余多項式または前記エラー訂正符号の符号多項式に生成多項式の根を代入して得られるシンドロームであることを特徴とする記録再生装置。

【請求項5】 外部から入力されたデータおよび第1エラー訂正符号検査記号に対して該第1エラー訂正符号と同じガロア体上のBCH符号であり且つ連続した根を持つ第2エラー訂正符号を生成するための第2エラー訂正符号生成手段と、データおよび第1エラー訂正符号検査記号および第2エラー訂正符号検査記号を記憶するためのメモリ素子と、そのメモリ素子から読み出したデータ

および第1エラー訂正符号検査記号および第2エラー訂正符号検査記号を用いてエラー検出およびエラー訂正を行うための第2エラー訂正手段と、その第2エラー訂正手段でデータおよび第1エラー訂正符号検査記号を訂正できたか否かの情報とエラー訂正計算途中の計算値情報と検出した誤り位置と誤り値とを前記第1エラー訂正手段に通知するための訂正情報通知手段と、前記メモリ素子から読み出したデータおよび第1エラー訂正符号検査記号または前記第2エラー訂正手段で訂正したデータおよび第1エラー訂正符号検査記号を前記第1エラー訂正手段に送るデータ送り手段とを備えたことを特徴とする半導体メモリ。

【請求項6】 外部から入力されたデータおよび第1エラー訂正符号検査記号に対して該第1エラー訂正符号と同じガロア体上のBCH符号であり且つ連続した根を持つ第2エラー訂正符号を生成するための第2エラー訂正符号生成手段と、データおよび第1エラー訂正符号検査記号および第2エラー訂正符号検査記号を記憶するためのメモリ素子と、そのメモリ素子から読み出したデータおよび第1エラー訂正符号検査記号および第2エラー訂正符号検査記号を用いてエラー検出およびエラー訂正を行うための第2エラー訂正手段と、その第2エラー訂正手段でエラーを検出したか否かの情報とデータおよび第1エラー訂正符号検査記号を訂正できたか否かの情報とエラー訂正計算途中の計算値情報を前記第1エラー訂正手段に通知するための検出・訂正情報通知手段と、前記メモリ素子から読み出したデータと第1エラー訂正符号検査記号および前記第2エラー訂正手段で訂正したデータと第1エラー訂正符号検査記号を前記第1エラー訂正手段に送るデータ送り手段とを備えたことを特徴とする半導体メモリ。

【請求項7】 請求項5または請求項6に記載の半導体メモリにおいて、前記BCH符号は、RS符号であることを特徴とする半導体メモリ。

【請求項8】 請求項5から請求項7のいずれかに記載の半導体メモリにおいて、前記計算値情報は、前記第2エラー訂正符号の符号多項式を生成多項式で割った余りである剩余多項式または前記エラー訂正符号の符号多項式に生成多項式の根を代入して得られるシンドロームであることを特徴とする半導体メモリ。

【請求項9】 読み出し又は書き込みされるデータ処理単位毎にエラー訂正符号化すると共に、前記データ処理単位の2倍以上のデータ消去単位でデータを消去することを特徴とする半導体メモリ。

【請求項10】 外部とのデータの入出力を行うためのインターフェース機能を有するマイクロコンピュータと、エラー訂正機能を持った半導体メモリとを具備したことを特徴とする記録再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、記録再生装置および半導体メモリに関し、さらに詳しくは、半導体メモリが持つエラー訂正能力とそのコントローラが持つエラー訂正能力とを共に活用することが出来る記録再生装置および半導体メモリ、並びに、使用される装置におけるデータ処理単位よりも大きいデータ消去単位を持つ場合でも処理を簡単化できる半導体メモリ、並びに、ある程度の信頼性を有し且つ安価な記録再生装置に関する。

【0002】

10 【従来の技術】不揮発性半導体メモリを用いた記録再生装置の一例であるフラッシュメモリディスクは、特開平9-305497号公報の図1に示されているように、フラッシュメモリチップと、インターフェイスチップと、マイコンなどにより構成されている。前記フラッシュメモリチップは、書き込み回数が一定回数以上になるとエラー率が急激に増加するという性質があるため、前記インターフェースチップやマイコンなどにエラー訂正機能（エラー検出機能も含む）を持たせて、フラッシュメモリディスクとしての信頼性を保持している。

20 【0003】前記フラッシュメモリチップは、単体で使用される場合も多い。そのため、特開平3-5995号公報に示されるように、フラッシュメモリチップ自身にもエラー訂正機能を持たせるようにして、フラッシュメモリチップ自身の信頼性もある程度保持している。

【0004】他方、特開昭59-165541号公報、特開昭62-73336号公報、特開平1-155721号公報などに示されているように、大型磁気ディスクの可変長フォーマット方式において、連接符号を用い、付加するエラー訂正符号の冗長バイト数を少なくし、エラー訂正効率を上げる方法が知られている。

【0005】

【発明が解決しようとする課題】エラー訂正機能を持ったフラッシュメモリチップを、フラッシュメモリディスクなど、フラッシュメモリチップ単体が持つ信頼性よりもさらに高い信頼性を要求されるシステムに用いる場合、フラッシュメモリチップ外に高機能のエラー訂正機能を行うコントローラを設ける必要がある。その場合、フラッシュメモリチップのエラー訂正機能を使用すると、該エラー訂正機能による誤訂正を生じ、かえって

40 全体の信頼性が低下することがあるため、フラッシュメモリチップのエラー訂正機能を使用できない問題点がある。例えば、1バイトのエラー訂正が可能なエラー訂正機能を持つフラッシュメモリチップを、3バイトまでのエラー訂正が必要なシステムに用いた場合には、3バイトまでのエラー訂正が可能なコントローラを付加する。ここで、フラッシュメモリチップのエラー訂正機能を使用しなければ、3バイトのエラーがフラッシュメモリチップ上に発生したときでも、コントローラによりエラー訂正が可能となる。ところが、フラッシュメモリチップのエラー訂正機能を使用すると、そのエラー訂正能力を

超えているため、誤訂正を起こして、3バイトのエラーを4バイトのエラーに書き換えてしまう可能性がある。すると、コントローラのエラー訂正能力をも超えてしまうため、全体として3バイトのエラーすら訂正できない結果を生じてしまう。

【0006】しかし、フラッシュメモリチップのエラー訂正機能を使用しない場合、無駄な機能を備えている分、全体の回路面積が無駄に大きくなり、システム全体も無駄に割高になる問題点がある。また、エラー訂正機能を持ったフラッシュメモリチップの回路をコアにして、より信頼性の高いエラー訂正機能を有するシステムを設計しようとすると、図15に示すように、フラッシュメモリチップのエラー訂正機能ブロックの削除(1501)、フラッシュメモリチップのインターフェイスブロックの再設計(1502)、コントローラ及びそのエラー訂正機能ブロックの設計(1503)といった手順が必要となり、作業の負担が大きくなり、コストが高くなる問題点がある。また、例えば、「メモリスティック」やMMC(MultiMediaCard)などでは、小型軽量化のために、フラッシュメモリチップとコントローラとを1チップ化しているが、その設計を行う場合、やはり図15に示す手順が必要となるため、作業の負担が大きくなり、チップのコストが高くなってしまう問題点がある。そこで、本発明の第1の目的は、エラー訂正機能を持った半導体メモリをコアとする記録再生装置であって、半導体メモリのエラー訂正機能を活用できると共にその信頼性よりも高い信頼性を得ることが出来る記録再生装置およびその記録再生装置に好適に使用しうる半導体メモリを提供し、上記問題点を解消する(半導体メモリチップのエラー訂正機能を無駄にしない。半導体メモリチップをコアにしたシステム/チップの設計を容易にする)ことにある。

【0007】次に、フラッシュメモリカード(フラッシュメモリチップを用いたメモリカード)を使用する携帯端末やMPEGカメラなどでは、512バイトをデータ処理単位とするものが多い。これに対して、フラッシュメモリチップにおけるデータ消去単位は、回路の削減とバイト当たりの高速化のために、1024バイト、2048バイトなどと512バイトよりも大きくなる傾向にある。その場合、大きくなったデータ消去単位毎にエラー訂正符号を処理することになる。しかし、データ処理単位である512バイトのデータの読み出しのたびに、データの消去単位である1024バイト以上の全データを読み出してエラー訂正符号をチェックしなければならなくなり、また、データ処理単位である512バイトのデータの書き換えのたびに、データ消去単位である1024バイト以上の全データを読み出して、エラー訂正符号を再計算しなければならなくなり、処理が煩雑となる問題点がある。そこで、本発明の第2の目的は、使用される装置におけるデータ処理単位よりも大きいデータ消

去単位を持つ場合でも処理を簡単化できる半導体メモリを提供することにある。

【0008】次に、高い信頼性を得るためのエラー訂正機能では特殊な演算を高速に行わなければならないため、高機能のコントローラを要し、高価となる。しかし、携帯用音再生装置などで使用するフラッシュメモリカードでは、信頼性よりも、安価であることが要求される。そこで、本発明の第3の目的は、ある程度の信頼性を有し且つ安価な記録再生装置を提供することにある。

10 【0009】

【課題を解決するための手段】第1の観点では、本発明は、外部とのデータの入出力を行うための外部インターフェース手段と、入力されたデータに対して第1エラー訂正符号を生成するための第1エラー訂正符号生成手段と、前記第1エラー訂正符号を用いてエラー検出およびエラー訂正を行うための第1エラー訂正手段とを備えたコントローラ部、および、前記コントローラ部から渡されたデータおよび第1エラー訂正符号からデータを除いた第1エラー訂正符号検査記号に対して該第1エラー訂正符号と同じガロア体上のBCH(Bose-Chaudhuri-Hocquenghem)符号であり且つ連続した根を持つ第2エラー訂正符号を生成するための第2エラー訂正符号生成手段と、データおよび第1エラー訂正符号検査記号および第2エラー訂正符号からデータおよび第1エラー訂正符号検査記号を除いた第2エラー訂正符号検査記号を記憶するためのメモリ素子と、そのメモリ素子から読み出したデータおよび第1エラー訂正符号検査記号および第2エラー訂正符号検査記号を用いてエラー検出およびエラー訂正を行うための第2エラー訂正手段と、その第2

20 エラー訂正手段でデータを訂正できたか否かの情報とエラー訂正計算途中の計算値情報と検出した誤り位置と誤り値とを前記第1エラー訂正手段に通知するための訂正情報通知手段と、前記メモリ素子から読み出したデータおよび第1エラー訂正符号検査記号または前記第2エラー訂正手段で訂正したデータおよび第1エラー訂正符号検査記号を前記第1エラー訂正手段に送るデータ送り手段とを備えた半導体メモリ部を具備し、前記第1エラー訂正手段は、前記データ送り手段により送られたデータおよび第1エラー訂正符号検査記号を用いてエラーを検出し且つ前記第2エラー訂正手段でデータを訂正できていたなら前記誤り位置と前記誤り値とを用いて訂正前のデータを復元し、その復元したデータおよび第1エラー訂正符号検査記号に対してエラーを検出したなら該復元したデータおよび前記第1エラー訂正符号検査記号と前記計算値情報を用いて該復元したデータのエラー訂正を行い、一方、前記第1エラー訂正符号を用いてエラーを検出し且つ前記第2エラー訂正手段でデータを訂正できていなかったら該未訂正のデータおよび前記第1エラー訂正符号検査記号と前記計算値情報を用いて該未訂正データのエラー訂正を行い、それらのエラー訂正が行

30 30 エラー訂正手段でデータを訂正できたか否かの情報とエラー訂正計算途中の計算値情報と検出した誤り位置と誤り値とを前記第1エラー訂正手段に通知するための訂正情報通知手段と、前記メモリ素子から読み出したデータおよび第1エラー訂正符号検査記号または前記第2エラー訂正手段で訂正したデータおよび第1エラー訂正符号検査記号を前記第1エラー訂正手段に送るデータ送り手段とを備えた半導体メモリ部を具備し、前記第1エラー訂正手段は、前記データ送り手段により送られたデータおよび第1エラー訂正符号検査記号を用いてエラーを検出し且つ前記第2エラー訂正手段でデータを訂正できていたなら前記誤り位置と前記誤り値とを用いて訂正前のデータを復元し、その復元したデータおよび第1エラー訂正符号検査記号に対してエラーを検出したなら該復元したデータおよび前記第1エラー訂正符号検査記号と前記計算値情報を用いて該復元したデータのエラー訂正を行い、一方、前記第1エラー訂正符号を用いてエラーを検出し且つ前記第2エラー訂正手段でデータを訂正できていなかったら該未訂正のデータおよび前記第1エラー訂正符号検査記号と前記計算値情報を用いて該未訂正データのエラー訂正を行い、それらのエラー訂正が行

40 40 エラー訂正手段でデータを訂正できたか否かの情報とエラー訂正計算途中の計算値情報と検出した誤り位置と誤り値とを前記第1エラー訂正手段に通知するための訂正情報通知手段と、前記メモリ素子から読み出したデータおよび第1エラー訂正符号検査記号または前記第2エラー訂正手段で訂正したデータおよび第1エラー訂正符号検査記号を前記第1エラー訂正手段に送るデータ送り手段とを備えた半導体メモリ部を具備し、前記第1エラー訂正手段は、前記データ送り手段により送られたデータおよび第1エラー訂正符号検査記号を用いてエラーを検出し且つ前記第2エラー訂正手段でデータを訂正できていたなら前記誤り位置と前記誤り値とを用いて訂正前のデータを復元し、その復元したデータおよび第1エラー訂正符号検査記号に対してエラーを検出したなら該復元したデータおよび前記第1エラー訂正符号検査記号と前記計算値情報を用いて該復元したデータのエラー訂正を行い、一方、前記第1エラー訂正符号を用いてエラーを検出し且つ前記第2エラー訂正手段でデータを訂正できていなかったら該未訂正のデータおよび前記第1エラー訂正符号検査記号と前記計算値情報を用いて該未訂正データのエラー訂正を行い、それらのエラー訂正が行

50 50 エラー訂正手段でデータを訂正できたか否かの情報とエラー訂正計算途中の計算値情報と検出した誤り位置と誤り値とを前記第1エラー訂正手段に通知するための訂正情報通知手段と、前記メモリ素子から読み出したデータおよび第1エラー訂正符号検査記号または前記第2エラー訂正手段で訂正したデータおよび第1エラー訂正符号検査記号を前記第1エラー訂正手段に送るデータ送り手段とを備えた半導体メモリ部を具備し、前記第1エラー訂正手段は、前記データ送り手段により送られたデータおよび第1エラー訂正符号検査記号を用いてエラーを検出し且つ前記第2エラー訂正手段でデータを訂正できていなかったら該未訂正のデータおよび前記第1エラー訂正符号検査記号と前記計算値情報を用いて該未訂正データのエラー訂正を行い、それらのエラー訂正が行

えなかったなら前記復元したデータまたは前記未訂正のデータに対して前記第1エラー訂正符号検査記号を用いてエラー訂正を行いうることを特徴とする記録再生装置を提供する。また、本発明は、外部から入力されたデータおよび第1エラー訂正符号検査記号に対して該第1エラー訂正符号と同じガロア体上のBCH符号であり且つ連続した根を持つ第2エラー訂正符号を生成するための第2エラー訂正符号生成手段と、データおよび第1エラー訂正符号検査記号および第2エラー訂正符号検査記号を用いてエラー検出およびエラー訂正を行うための第2エラー訂正手段と、その第2エラー訂正手段でデータおよび第1エラー訂正符号検査記号を訂正できたか否かの情報とエラー訂正計算途中の計算値情報を検出した誤り位置と誤り値とを前記第1エラー訂正手段に通知するための訂正情報通知手段と、前記メモリ素子から読み出したデータおよび第1エラー訂正符号検査記号または前記第2エラー訂正手段で訂正したデータおよび第1エラー訂正符号検査記号を前記第1エラー訂正手段に送るデータ送り手段とを備えたことを特徴とする半導体メモリを提供する。

【0010】上記第1の観点による記録再生装置では、データを書き込むときは、コントローラ部で第1エラー訂正符号検査記号を生成し、半導体メモリ部で第2エラー訂正符号検査記号を生成し、データ、第1エラー訂正符号検査記号および第2エラー訂正符号検査記号をメモリ素子に記憶する。次に、データを読み出すときは、半導体メモリ部で、メモリ素子から読み出したデータおよび第1エラー訂正符号検査記号に対して第2エラー訂正符号検査記号を用いてエラー検出およびエラー訂正を行うと共に、メモリ素子から読み出したデータおよび第1エラー訂正符号検査記号またはエラー訂正したデータおよび第1エラー訂正符号検査記号をコントローラ部に渡す。そして、コントローラ部で、半導体メモリ部から渡されたデータに対して第1エラー訂正符号検査記号を用いてエラー検出を行い、(1)エラーが検出され且つ半導体メモリ部でエラー訂正を行っていた場合は、半導体メモリ部でのエラー訂正をキャンセルしてメモリ素子から読み出したデータおよび第1エラー訂正符号検査記号を復元する。このために、半導体メモリ部からコントローラ部に、訂正できたか否かの情報と誤り位置と誤り値とを通知する。これにより、半導体メモリ部での誤訂正があっても、その悪影響を受けずに、コントローラ部のエラー訂正能力でエラーを訂正できる。また、(2)エラーが検出され且つ半導体メモリ部でエラー訂正を行っていなかった場合は、メモリ素子から送られてきたデータおよび第1エラー訂正符号検査記号をそのまま用いる。その後、前記(1)(2)の場合とともに、コントローラ部で、第1エラー訂正符号検査記号および第2エラ

10 20 30 40 50

ー訂正符号検査記号を用いてエラー訂正を行う。このために、半導体メモリ部からコントローラ部に、訂正できたか否かの情報とエラー訂正計算途中の計算値情報を通知し、且つ、第1エラー訂正符号と第2エラー訂正符号とが同じガロア体上のBCH符号であり且つ連続した根を持つ、すなわち、第1エラー訂正符号の生成多項式の根と第2エラー訂正符号の生成多項式の根に連続した“べき”を持つものとしている。これにより、半導体メモリ部が持つエラー訂正能力とコントローラ部が持つエラー訂正能力とを共に活用でき、高信頼性を得ることが出来る。また、上記第1の観点による半導体メモリは、上記第1の観点による記録再生装置に好適に使用できる。

【0011】第2の観点では、本発明は、外部とのデータの入出力をを行うための外部インタフェース手段と、入力されたデータに対して第1エラー訂正符号を生成するための第1エラー訂正符号生成手段と、前記第1エラー訂正符号を用いてエラー検出およびエラー訂正を行うための第1エラー訂正手段とを備えたコントローラ部、および、前記コントローラ部から渡されたデータおよび第1エラー訂正符号に対して該第1エラー訂正符号と同じガロア体上のBCH符号であり且つ連続した根を持つ第2エラー訂正符号を生成するための第2エラー訂正符号生成手段と、データおよび第1エラー訂正符号からデータを除いた第1エラー訂正符号検査記号および第2エラー訂正符号からデータおよび第1エラー訂正符号検査記号を除いた第2エラー訂正符号検査記号を記憶するためのメモリ素子と、そのメモリ素子から読み出したデータおよび第1エラー訂正符号検査記号および前記第2エラー訂正符号検査記号を用いてエラー検出およびエラー訂正を行うための第2エラー訂正手段と、その第2エラー訂正手段でエラーを検出したか否かの情報とデータおよび第1エラー訂正符号検査記号を訂正できたか否かの情報とエラー訂正計算途中の計算値情報を前記第1エラー訂正手段に通知するための検出・訂正情報通知手段と、前記メモリ素子から読み出したデータと第1エラー訂正符号検査記号および前記第2エラー訂正手段で訂正したデータと第1エラー訂正符号検査記号を前記第1エラー訂正手段に送るデータ送り手段とを備えた半導体メモリ部を具備し、前記第1エラー訂正手段は、前記第2エラー訂正手段でエラーを検出せず且つ前記メモリ素子から読み出したデータについて前記第1エラー訂正符号検査記号を用いてエラーを検出したか、又は、前記第2エラー訂正手段でデータを訂正できず且つ前記メモリ素子から読み出したデータについて前記第1エラー訂正符号検査記号を用いてエラーを検出したか、又は、前記第2エラー訂正手段で訂正したデータについて前記第1エラー訂正符号検査記号を用いてエラーを検出したなら、前記メモリ素子から読み出したデータに対し前記第1エラー訂正符号検査記号と前記計算値情報を用いてエラ

一訂正を行い、そのエラー訂正が行えなかつたら前記メモリ素子から読み出したエラー訂正前のデータに対して前記第1エラー訂正符号検査記号を用いてエラー訂正を行いうることを特徴とする記録再生装置を提供する。また、本発明は、外部から入力されたデータおよび第1エラー訂正符号検査記号に対して該第1エラー訂正符号と同じガロア体上のBCH符号であり且つ連続した根を持つ第2エラー訂正符号を生成するための第2エラー訂正符号生成手段と、データおよび第1エラー訂正符号検査記号および第2エラー訂正符号検査記号を記憶するためのメモリ素子と、そのメモリ素子から読み出したデータおよび第1エラー訂正符号検査記号および第2エラー訂正符号検査記号を用いてエラー検出およびエラー訂正を行うための第2エラー訂正手段と、その第2エラー訂正手段でエラーを検出したか否かの情報とデータおよび第1エラー訂正符号検査記号を訂正できたか否かの情報とエラー訂正計算途中の計算値情報を前記第1エラー訂正手段に通知するための検出・訂正情報通知手段と、前記メモリ素子から読み出したデータと第1エラー訂正符号検査記号および前記第2エラー訂正手段で訂正したデータと第1エラー訂正符号検査記号を前記第1エラー訂正手段に送るデータ送り手段とを備えたことを特徴とする半導体メモリを提供する。

【0012】上記第2の観点による記録再生装置では、データを書き込むときは、コントローラ部で第1エラー訂正符号検査記号を生成し、半導体メモリ部で第2エラー訂正符号検査記号を生成し、データ、第1エラー訂正符号検査記号および第2エラー訂正符号検査記号をメモリ素子に記憶する。次に、データを読み出すときは、半導体メモリ部で、メモリ素子から読み出したデータおよび第1エラー訂正符号検査記号に対して第2エラー訂正符号検査記号を用いてエラー検出およびエラー訂正を行うと共に、メモリ素子から読み出したデータと第1エラー訂正符号検査記号およびエラー訂正したデータと第1エラー訂正符号検査記号をコントローラ部に渡す。そして、コントローラ部では、前記第2エラー訂正手段でエラーが検出されず且つメモリ素子から読み出したデータおよび第1エラー訂正符号検査記号についてエラーを検出した場合、又は、第2エラー訂正手段でデータの訂正ができず且つメモリ素子から読み出したデータおよび第1エラー訂正符号検査記号についてエラーを検出した場合は、メモリ素子から読み出したデータに対し、第1エラー訂正符号検査記号と計算値情報を用いてエラー訂正を行い（このために、半導体メモリ部からコントローラ部に、エラーを検出したか否かの情報と訂正できたか否かの情報とエラー訂正計算途中の計算値情報を通知し、且つ、第1エラー訂正符号と第2エラー訂正符号とが同じガロア体上のBCH符号であり且つ連続した根を持つ、すなわち、第1エラー訂正符号の生成多項式の根と第2エラー訂正符号の生成多項式の根に連続した“べき”を持つものとしている）、そのエラー訂正が行えなかつた場合は、メモリ素子から読み出したデータに対して第1エラー訂正符号検査記号を用いてエラー訂正を行う。これにより、半導体メモリ部が持つエラー訂正能力とコントローラ部が持つエラー訂正能力とを共に活用でき、高信頼性を得ることが出来る。さらに、第2エラー訂正手段によりデータ訂正できたが該エラー訂正後のデータについてエラー訂正後の第1エラー訂正符号検査記号を用いてエラーを検出した場合は、メモリ素子から読み出したエラー訂正前のデータに対し、エラー訂正前の第1エラー訂正符号検査記号と計算値情報を用いてエラー訂正を行い（このために、半導体メモリ部からコントローラ部に、訂正できたか否かの情報とエラー訂正計算途中の計算値情報を通知し、且つ、第1エラー訂正符号と第2エラー訂正符号とが同じガロア体上のBCH符号であり且つ連続した根を持つ、すなわち、第1エラー訂正符号の生成多項式の根と第2エラー訂正符号の生成多項式の根に連続した“べき”を持つものとしている）、そのエラー訂正が行えなかつた場合は、メモリ素子から読み出したエラー訂正前のデータに対してエラー訂正前の第1エラー訂正符号検査記号を用いてエラー訂正を行う。これにより、半導体メモリ部での誤訂正があつても、その悪影響を受けずに、半導体メモリ部が持つエラー訂正能力と、コントローラ部が持つエラー訂正能力とを共に活用でき、高信頼性を得ることができる。また、上記第2の観点による半導体メモリは、上記第2の観点による記録再生装置に好適に使用できる。

【0013】ここで、前記BCH符号としては、特にRS(Reed Solomon)符号を用いるのが好ましい。また、前記計算値情報としては、前記第2エラー訂正符号の符号多項式を生成多項式で割った余りである剩余多項式または前記エラー訂正符号の符号多項式に生成多項式の根を代入して得られるシンドロームとするのが好ましい。

【0014】第3の観点では、本発明は、読み出し又は書き込みされるデータ処理単位毎にエラー訂正符号化すると共に、前記データ処理単位の2倍以上のデータ消去単位でデータを消去することを特徴とする半導体メモリを提供する。上記第3の観点による半導体メモリでは、読み出し又は書き込みされるデータ処理単位毎にエラー訂正符号化するため、例えばデータ処理単位である512バイトのデータの読み出しおのたびに、データの消去単位である1024バイト以上の全データを読み出してエラー訂正符号をチェックする必要がなく、また、データ処理単位である512バイトのデータの書き換えのたびに、データ消去単位である1024バイト以上の全データを読み出してエラー訂正符号を再計算する必要がなくなる。よって、使用される装置におけるデータ処理単位よりも大きいデータ消去単位を持つ場合でも処理を簡便化できる。また、データ処理単位の2倍以上の大きなデータ

11

ータ消去単位を持つため、回路の削減とバイト当たりの高速化を図ることが出来る。

【0015】第4の観点では、本発明は、外部とのデータの入出力を行うためのインターフェース機能を有するマイクロコンピュータと、エラー訂正機能を持った半導体メモリとを具備したことを特徴とする記録再生装置を提供する。上記第4の観点による記録再生装置では、マイクロコンピュータを用いるため、安価になる。また、半導体メモリがエラー訂正機能を持つため、ある程度の信頼性を得られる。

【0016】

【発明の実施の形態】以下、図を参照して、本発明の実施形態について説明する。なお、これにより本発明が限定されるものではない。

【0017】-第1の実施形態-

図1は、第1の実施形態に係るフラッシュメモリディスク(101)の構成図である。このフラッシュメモリディスク(101)は、コントローラ(102)と、フラッシュメモリチップ(111~114)と、それらを接続する内部バス(108)とを具備して構成されている。

【0018】前記コントローラ(102)は、CPU(103)と、データバッファ(104)と、内部バスインターフェイス(105)と、外部バスインターフェイス(106)と、ECC(Error Correcting Code)回路(107)とを具備して構成されている。

【0019】前記外部バスインターフェイス(106)は、ATバス、PCIバス、SCSIバスなどの一般的な外部インターフェイスバス(109)に接続される。なお、前記外部インターフェイスバス(109)で接続される外部機器は、MPEGカメラ、携帯端末、携帯用音再生装置などである。

$$\text{数1: } g(x) = x^{10} + x^3 + 1$$

前記外符号C1'の生成多項式は(数2)である。※※【数2】

$$\text{数2: } C1': G1(x) = (x + \alpha^0)(x + \alpha^1)(x + \alpha^2)(x + \alpha^3)(x + \alpha^4)$$

前記内符号C2'の生成多項式は(数3)である。

【数3】

$$\text{数3: } C2': G2(x) = (x + \alpha^5)(x + \alpha^6)(x + \alpha^7)$$

【0023】外符号C1'の生成多項式の根の指数と内符号C2'の生成多項式の根の指数は、連続している。すなわち、(数2)では根の指数は“0”から“4”であり、(数3)では根の指数は“5”から“7”であり、連続している。

【0024】次に、データ書き込み時の動作について詳細に説明する。外部機器から外部バス(109)を通して、512バイト×8ビット単位の書き込みデータが、フラッシュメモリディスク(101)に与えられる。フ★50

\*【0020】前記フラッシュメモリチップ(111~114)は、フラッシュメモリ素子(115~118)と、オンチップECC回路(120~123)とを具備して構成される。前記オンチップECC回路(120~123)は、エラー訂正機能だけでなく、エラーの検出頻度が高くなった領域のデータを、エラーの検出頻度が低い領域に移すためのエラーの検出頻度のチェック機能をも持っている。

【0021】図2は、前記フラッシュメモリチップ(111)のオンチップECC回路(120)の内部構成図である。このオンチップECC回路(120)は、剩余多項式レジスタ(601)と、訂正OKフラグ(605)および訂正不能フラグ(606)を持つ訂正フラグレジスタ(602)と、誤り位置レジスタ(603)と、誤り値レジスタ(604)と、制御回路(607)と、エラー訂正回路(608)と、エラー訂正符号化回路(609)とを具備して構成されている。他のフラッシュメモリチップ(112~114)のオンチップECC回路(121~123)も同様の構成である。

【0022】図3は、データ単位ごとに付加するエラー訂正符号の説明図である。データ単位は、512バイト×8ビットである。エラー訂正符号検査記号は、前記コントローラ(102)のECC回路(107)で付加される5シンボルの外符号検査記号C1と、前記フラッシュメモリチップ(111)のオンチップECC回路(120)のエラー訂正符号化回路(609)で付加される3シンボルの内符号検査記号C2からなる。外符号C1'および内符号C2'は、(数1)を法とするガロア体GF(2<sup>10</sup>)上のRS符号である。ここで、1シンボルはガロア体の大きさに依存した、大きさの単位であり、この場合、1シンボルは10バイトとなる。

【数1】

$$g(x) = x^{10} + x^3 + 1$$

★ラッシュメモリディスク(101)のコントローラ(102)は、与えられた書き込みデータを、外部バスインターフェイス(106)を介して、ECC回路(107)に渡す。ECC回路(107)は、GF(2<sup>10</sup>)上のガロア体を用いているので、512バイト×8ビットのデータ「d511, d510, d509, …, d0」(但し、d511からd0はGF(2<sup>8</sup>)上の8ビットで表される数)に、1バイトごとに全て“0”的2ビットのダミーデータを付加して512バイト×10ビットのデータ「d511', d510', d509', …, d0'」にし、(数4)の符号多項式を得る。

【数4】

$$\text{数4: } d511'x^{511} + d510'x^{510} + \cdots + d1'x + d0'$$

次に、外符号検査記号C1は5シンボルなので、(数4)の符号多項式に $x^5$ を乗じた(数5)を生成多項式 \* 【数5】

$$\text{数5: } d511'x^{516} + d510'x^{515} + \cdots + d1'x^6 + d0'x^5$$

【数6】

$$\begin{aligned} \text{数6: } & (d511'x^{516} + d510'x^{515} + \cdots + d1'x^6 + d0'x^5) \bmod (x + \alpha^0)(x + \alpha^1)(x + \alpha^2)(x + \alpha^3)(x + \alpha^4) \\ & = R14x^4 + R13x^3 + R12x^2 + R11x + R10 \end{aligned}$$

次に、(数6)の多項式から「R14, R13, R12, R11, R10」を外符号検査記号C1として得る。

【0025】次に、コントローラ(102)は、内部バスインターフェイス(105)を介して、512バイト×8ビットの書き込みデータと5シンボル×10ビットの外符号検査記号C1とを、d511, d510, ..., d0, R14, R13, R12, R11, R10の順で、どれか一つのフラッシュメモリチップ(111 or 112 or 113 or 114)に渡す。ここでは、フラッシュメモリチップ(111)に渡したとする。

【0026】フラッシュメモリチップ(111)のオン※20

$$\text{数7: } d511'x^{516} + d510'x^{515} + \cdots + d1'x^6 + d0'x^5 + R14x^4 + R13x^3 + R12x^2 + R11x + R10$$

次に、内符号検査記号C2は3シンボルなので、(数7)に $x^3$ を乗じた(数8)を生成多項式(数3)で割

10※チップECC回路(120)のエラー訂正符号化回路(609)は、GF(2<sup>10</sup>)上のガロア体を用いてるので、512バイト×8ビットのデータ「d511, d510, ..., d0」に、1バイトごとに全て“0”的2ビットのダミーデータを附加して512バイト×10ビットのデータ「d511', d510', d509', ..., d0」にし、5シンボル×10ビットの外符号検査記号C1「R14, R13, R12, R11, R10」を附加して、(数7)の符号多項式を得る。

【数7】

★った剩余である(数9)の多項式を得る。

【数8】

$$\text{数8: } d511'x^{519} + d510'x^{518} + \cdots + d1'x^9 + d0'x^8 + R14x^7 + R13x^6 + R12x^5 + R11x^4 + R10x^3$$

【数9】

$$\begin{aligned} \text{数9: } & (d511'x^{519} + d510'x^{518} + \cdots + d1'x^9 + d0'x^8 + R14x^7 + R13x^6 + R12x^5 + R11x^4 + R10x^3) \\ & \bmod (x + \alpha^5)(x + \alpha^6)(x + \alpha^7) = R22x^2 + R21x + R20 \end{aligned}$$

次に、(数9)の多項式から「R22, R21, R20」を内符号検査記号C2として得る。

【0027】次に、オンチップECC回路(120)のエラー訂正符号化回路(609)は、512バイト×8ビットの書き込みデータと5シンボル×10ビットの外符号検査記号C1と3シンボル×10ビットの内符号検査記号C2とを、「d511, d510, ..., d0, R14, R13, R12, R11, R10, R22, R21, R20」の順で、対応するフラッシュメモリ素子(115)に書き込む。

【0028】次に、データ読み出し時の動作について詳細に説明する。ここでは、フラッシュメモリチップ(111)でのデータ読み出しとする。オンチップECC回路

☆路(120)の制御回路(607)は、フラッシュメモリ素子(115)から、「d511'', d510'', ..., d0'', R14'', R13'', R12'', R11'', R10'', R22'', R21''」を、エラー訂正回路(608)に読み出す。

【0029】図4は、エラー訂正回路(608)の動作を示すフロー図である。ステップ(401)では、読み出した「d511'', d510'', ..., d0'', R14'', R13'', R12'', R11'', R10'', R22'', R21'', R20''」から(数10)の符号多項式を得る。

【数10】

$$\begin{aligned} \text{数10: } & d511''x^{519} + d510''x^{518} + \cdots + d1''x^9 + d0''x^8 + R14''x^7 + R13''x^6 + R12''x^5 + R11''x^4 + R10''x^3 \\ & + R22''x^2 + R21''x + R20'' \end{aligned}$$

次に、(数10)の符号多項式を内符号C2'の生成多項式(数3)で割り、割り切れれば誤りなし、余りがあれば誤りが発生したと判定する。

【0030】ステップ(402)では、誤りがあればス

◆デップ(403)へ進み、誤りがなければ、データ「d511'', d510'', ..., d0''」および外符号検査記号C1「R14'', R13'', R12'', R11'', R10''」を、コントローラ(102)に送って、処理を終了する。

【0031】ステップ(403)では、前記余りである(数11)の剰余多項式を、剰余多項式レジスタ(601)に格納する。

【数11】

$$\text{数11: } R32x^2 + R31x + R30$$

【0032】ステップ(404)では、1シンボルの訂正をエラー訂正回路(608)にて行う。すなわち、エラー訂正回路(608)では、誤り位置T1、誤り値T2の計算を行う。誤り位置T1、誤り値T2の計算方法は、一般的な誤りトラップ復号法などを用いればよい。図5に示すように、誤り位置T1=0は内符号検査記号C2の最下位のシンボルを表し、誤り位置T1≥8は512バイトのデータ中に誤りがあることを表し、7≥T1≥3は外符号検査記号C1上に誤りがあることを表し、2≥T1≥0は内符号検査記号C2上に誤りがあることを表す。誤り位置T1、誤り値T2が計算できたら、それらを用いてエラー訂正を行い、エラー訂正後のデータ「d511''', d510'', ..., d1'', d0'''」および外符号検査記号C1「R14''', R13'', R12'', R11'', R10'''」を求める。エラー訂正是、誤り位置T1に対応する符号上のシンボルと誤り値T2との排他的論理和を取り、それをその位置のシンボルとすることにより行う。ステップ(405)では、訂正が行えたならステップ(406)へ進み、訂正が行えなかった(誤り位置T1、誤り値T2が計算できなかった)ならステップ(408)へ進む。

【0033】ステップ(406)では、訂正フラグレジスタ(602)中の訂正OKフラグ(605)をON状態にセットする。ステップ(407)では、誤り位置T1を誤り位置レジスタ(603)にセットし、誤り値T2を誤り値レジスタ(604)にセットする。そして、エラー訂正後のデータ「d511''', d510'', ..., d1'', d0'''」および外符号検査記号C1「R14''', R13'', R12'', R11'', R10'''」をコントローラ(102)に送って、処理を終了する。

【0034】ステップ(408)では、訂正フラグレジスタ(602)の中の訂正不能フラグ(606)をON状態にセットし、訂正前のデータおよび外符号検査記号C1(「d511''', d510'', ..., d1'', d0'', R13'', R12'', R11'', R10'''」)をコントローラ(102)に送って、処理を終了する。

【0035】図6は、ECC回路(107)の動作を示すフロー図である。ステップ(501)では、フラッシュメモリチップ(111)から送られてきたエラー訂正後のデータ「d511''', d510'', ..., d1'', d0'''」および外符号検査記号C1「R14''', R13'', R12'', R11'', R10'''」、または、訂正前のデータ「d511''', d510'', ..., d1'', d0'''」および外符号検査記号C1「R14'', R13'', R1

2'', R11'', R10'''」を読み込む。ステップ(502)では、外符号C1'によりエラーチェックを行う。すなわち、フラッシュメモリチップ(111)から読み込んだデータおよび外符号検査記号C1からなる符号多項式C(x)のxに、外符号C1'の生成多項式(数2)の根を代入し、得られた値S0, S1, S2, S3, S4の全てが“0”であれば誤りなしと判定し、1つでも“0”でないものがあれば誤りありと判定する。値S0, S1, S2, S3, S4のことをシンドロームと呼ぶ。ステップ(503)では、誤りなしであればステップ(512)へ進み、誤りありであればステップ(504)へ進む。

【0036】ステップ(504)では、フラッシュメモリチップ(111)の訂正OKフラグ(605)を読み込み、訂正OKフラグ(605)がON状態すなわちフラッシュメモリチップ(111)上でエラー訂正がなされていたときはステップ(505)へ進み、訂正OKフラグ(605)がOFF状態すなわちフラッシュメモリチップ(111)上でエラー訂正がなされていなかったときはステップ(508)へ進む。

【0037】ステップ(505)では、フラッシュメモリチップ(111)の誤り位置レジスタ(603)から誤り位置T1を読み込み、フラッシュメモリチップ(111)の誤り値レジスタ(604)から誤り値T2を読み込み、誤り位置T1のシンボルと誤り値T2の値を排他的論理和を取り、フラッシュメモリ素子(115)から読み出したデータを復元する。ステップ(506)では、復元したデータおよび外符号検査記号C1に対して外符号C1'によりエラーチェックを再び行い、シンドロームS0, S1, S2, S3, S4を計算し直す。シンドロームS0, S1, S2, S3, S4の全てが“0”であれば誤りなしと判定し、1つでも“0”でないものがあれば誤りありと判定する。ステップ(507)では、誤りなしであればステップ(512)へ進み、誤りありであればステップ(508)へ進む。

【0038】ステップ(508)では、フラッシュメモリチップ(111)の剰余多項式レジスタ(601)から剰余多項式(数11)を読み出し、(数12)によりシンドロームS5, S6, S7を計算する。

【数12】

$$\begin{aligned} \text{数12: } S5 &= R32(\alpha^5)^2 + R31(\alpha^5) + R30 \\ S6 &= R32(\alpha^6)^2 + R31(\alpha^6) + R30 \\ S7 &= R32(\alpha^7)^2 + R31(\alpha^7) + R30 \end{aligned}$$

ここで、データ上または外符号検査記号C1上に3シンボルのエラーが発生し、エラーはそれぞれ外符号C1'で見た誤り位置k1, k2, k3に、誤り値E1, E2, E3であったとすると、内符号C2'で見た誤り位置は3つずれるため、シンドロームS0~S7は、それ

それ(数13)のようになる。

\* \* 【数13】

$$\begin{aligned}
 S0 &= C(\alpha^0) + E1(\alpha^0)^{k1} + E2(\alpha^0)^{k2} + E3(\alpha^0)^{k3} = E1(\alpha^0)^{k1} + E2(\alpha^0)^{k2} + E3(\alpha^0)^{k3} \\
 S1 &= C(\alpha^1) + E1(\alpha^1)^{k1} + E2(\alpha^1)^{k2} + E3(\alpha^1)^{k3} = E1(\alpha^1)^{k1} + E2(\alpha^1)^{k2} + E3(\alpha^1)^{k3} \\
 S2 &= C(\alpha^2) + E1(\alpha^2)^{k1} + E2(\alpha^2)^{k2} + E3(\alpha^2)^{k3} = E1(\alpha^2)^{k1} + E2(\alpha^2)^{k2} + E3(\alpha^2)^{k3} \\
 S3 &= C(\alpha^3) + E1(\alpha^3)^{k1} + E2(\alpha^3)^{k2} + E3(\alpha^3)^{k3} = E1(\alpha^3)^{k1} + E2(\alpha^3)^{k2} + E3(\alpha^3)^{k3} \\
 S4 &= C(\alpha^4) + E1(\alpha^4)^{k1} + E2(\alpha^4)^{k2} + E3(\alpha^4)^{k3} = E1(\alpha^4)^{k1} + E2(\alpha^4)^{k2} + E3(\alpha^4)^{k3} \\
 S5 &= C(\alpha^5) + E1(\alpha^5)^{k1+3} + E2(\alpha^5)^{k2+3} + E3(\alpha^5)^{k3+3} = E1(\alpha^5)^{k1+3} + E2(\alpha^5)^{k2+3} + E3(\alpha^5)^{k3+3} \\
 S6 &= C(\alpha^6) + E1(\alpha^6)^{k1+3} + E2(\alpha^6)^{k2+3} + E3(\alpha^6)^{k3+3} = E1(\alpha^6)^{k1+3} + E2(\alpha^6)^{k2+3} + E3(\alpha^6)^{k3+3} \\
 S7 &= C(\alpha^7) + E1(\alpha^7)^{k1+3} + E2(\alpha^7)^{k2+3} + E3(\alpha^7)^{k3+3} = E1(\alpha^7)^{k1+3} + E2(\alpha^7)^{k2+3} + E3(\alpha^7)^{k3+3}
 \end{aligned}$$

S5を $\alpha^{15}$ で割り、S6を $\alpha^{18}$ で割り、S7を $\alpha^{21}$ で割  
ると、(数14)が得られる。

$$\begin{aligned}
 \text{数14: } S0 &= E1(\alpha^0)^{k1} + E2(\alpha^0)^{k2} + E3(\alpha^0)^{k3} \\
 S1 &= E1(\alpha^1)^{k1} + E2(\alpha^1)^{k2} + E3(\alpha^1)^{k3} \\
 S2 &= E1(\alpha^2)^{k1} + E2(\alpha^2)^{k2} + E3(\alpha^2)^{k3} \\
 S3 &= E1(\alpha^3)^{k1} + E2(\alpha^3)^{k2} + E3(\alpha^3)^{k3} \\
 S4 &= E1(\alpha^4)^{k1} + E2(\alpha^4)^{k2} + E3(\alpha^4)^{k3} \\
 S5 &= E1(\alpha^5)^{k1} + E2(\alpha^5)^{k2} + E3(\alpha^5)^{k3} \\
 S6 &= E1(\alpha^6)^{k1} + E2(\alpha^6)^{k2} + E3(\alpha^6)^{k3} \\
 S7 &= E1(\alpha^7)^{k1} + E2(\alpha^7)^{k2} + E3(\alpha^7)^{k3}
 \end{aligned}$$

(数14)は、一般的3シンボル訂正RS符号のシンドロームと同じであり、一般的エラー訂正アルゴリズムで3シンボルエラー訂正が可能となる。一般的エラー訂正アルゴリズムとしては、ピーターソン法、ユークリッド法、チェーンサーチなどが知られている。そこで、(数14)の8つのシンドロームS0～S7を用いて、3シンボルのエラー訂正を行う。

【0039】ステップ(509)では、訂正が行えたならステップ(512)へ進み、訂正が行えなかったならステップ(510)へ進む。

【0040】ステップ(510)では、前記ステップ(506)で求めた5つのシンドロームS0～S4を用いて、2シンボルのエラー訂正を行う。

【0041】ステップ(511)では、訂正が行えたならステップ(512)へ進み、訂正が行えなかったならステップ(513)へ進む。

【0042】ステップ(512)では、外部バスインターフェイス(106)および外部バス(109)を介して、外部機器へデータを転送し、動作を終了する。

【0043】ステップ(513)では、外部バスインターフェイス(106)および外部バス(109)を介して、外部機器へ訂正不能エラーが発生したことを通知し、動作を終了する。

【0044】以上の第1の実施形態に係るフラッシュメモリチップ

★モリディスク(101)によれば、フラッシュメモリチップ(111～114)のオンチップECC回路(120～123)の1シンボルの訂正能力とコントローラ(102)のECC回路(107)の2シンボルの訂正能力とを合わせた3シンボルの訂正能力が得られる。よって、従来(フラッシュメモリチップのオンチップECC回路を使わず、コントローラのECC回路に3シンボルの訂正能力を持たせる)に比べて、コントローラ(102)のECC回路(107)の回路規模を、2/3に抑えることが出来る。なお、通常、ECC回路(107)の符号器、シンドローム生成器などは、訂正能力に比例して回路規模が増える。

【0045】なお、上記説明では、フラッシュメモリチップ(111～114)のオンチップECC回路(120～123)からコントローラ(102)のECC回路(107)へ、剩余多項式レジスタ(601)を介して、内符号C2'の符号多項式を生成多項式で割った余りである剩余多項式を通知したが、その代わりに、シンドロームレジスタを設けて、内符号C2'の符号多項式に生成多項式の根を代入して得られるシンドロームS5、S6、S7を通知するようにしてもよい。

【0046】-第2の実施形態-

第2の実施形態は、コントローラ(102)側で未訂正のデータを復元する必要を無くした実施形態である(前

記第1の実施形態では、フラッシュメモリチップ(111)で訂正したデータからコントローラ(102)側で未訂正のデータを復元している)。

【0047】図7は、第2の実施形態に係るフラッシュメモリチップ(111)の内部構成図である。このフラッシュメモリチップ(111)は、図2に示す第1の実施形態のフラッシュメモリチップ(111)に比べると、図2から誤り位置レジスタ(603)と誤り値レジスタ(604)とを削除し、フラッシュメモリ素子(115)とオンチップECC回路(120)の間にラッチ回路(620)を追加し、訂正フラグレジスタ(602)の中にエラーフラグ(621)を追加した構成になっている。前記ラッチ回路(620)は、制御回路607の制御により、フラッシュメモリ素子(115)から「d511」, d510", ..., d0", R14", R13", R12", R11", R10", R22", R21", R20"」を読み出して保持し、エラー訂正回路(608)に送るのと同時にコントローラ(102)へも送る。前記エラーフラグ(621)は、エラー訂正回路(608)でエラーが検出されたなら「有」の値を設定され、エラー訂正回路(608)でエラーが検出されなかったなら「無」の値を設定される。他のフラッシュメモリチップ(112～114)も同様の構成である。

【0048】図8は、第2の実施形態に係るエラー訂正回路(608)の動作を示すフロー図である。ステップ(401)では、読み出した「d511」, d510", ..., d0", R14", R13", R12", R11", R10", R22", R21", R20"」から(数10)の符号多項式を得る。次に、(数10)の符号多項式を内符号C2の生成多項式(数3)で割り、割り切れれば誤りなし、余りがあれば誤りが発生したと判定する。

【0049】ステップ(402)では、誤りがなければステップ(4021)へ進み、誤りがあればステップ(4022)へ進む。ステップ(4021)では、エラーフラグ(621)に「無」の値を設定する。そして、処理を終了する。

【0050】ステップ(4022)では、エラーフラグ(621)に「有」の値を設定する。ステップ(403)では、前記余りである(数11)の剩余多項式を、剩余多項式レジスタ(601)に格納する。

【0051】ステップ(404)では、1シンボルの訂正をエラー訂正回路(608)にて行い、エラー訂正後のデータ「d511」, d510", ..., d1", d0"」および外符号検査記号C1「R14", R13", R12", R11", R10"」を求める。ステップ(405)では、訂正が行えたならステップ(406)へ進み、訂正が行えなかった(誤り位置T1, 誤り値T2が計算できなかった)ならステップ(408)へ進む。

【0052】ステップ(406)では、エラー訂正後の

データ「d511」, d510", ..., d1", d0"」および外符号検査記号C1「R14", R13", R12", R11", R10"」をコントローラ(102)へ送り、訂正フラグレジスタ(602)中の訂正OKフラグ(605)をON状態にセットする。そして、処理を終了する。

【0053】ステップ(408)では、訂正フラグレジスタ(602)の中の訂正不能フラグ(606)をON状態にセットする。そして、処理を終了する。

【0054】図9は、ECC回路(107)の動作を示すフロー図である。ステップ(521)では、フラッシュメモリチップ(111)から送られてきたエラー訂正していないデータA「d511」, d510", ..., d0"」および外符号検査記号C1 A「R14", R13", R12", R11", R10"」を読み込み、シンドロームAを生成する。すなわち、データAおよび外符号検査記号C1 Aからなる符号多項式C(x)のxに、外符号C1'の生成多項式(数2)の根を代入し、シンドロームA「S0, S1, S2, S3, S4」を求める。ステップ(522)では、エラーフラグ621の値が「有」か否かチェックし、「有」ならステップ(523)へ進み、「無」ならステップ(526)へ進む。

【0055】ステップ(523)では、フラッシュメモリチップ(111)の訂正OKフラグ(605)を読み込み、訂正OKフラグ(605)がON状態すなわちフラッシュメモリチップ(111)上でエラー訂正がなされていたときはステップ(524)へ進み、訂正OKフラグ(605)がOFF状態すなわちフラッシュメモリチップ(111)上でエラー訂正がなされていなかったときはステップ(526)へ進む。

【0056】ステップ(524)では、フラッシュメモリチップ(111)から送られてきたエラー訂正したデータB「d511」, d510", ..., d1", d0"」および外符号検査記号C1 B「R14", R13", R12", R11", R10"」を読み込み、シンドロームBを生成する。すなわち、データBおよび外符号検査記号C1 Bからなる符号多項式C(x)のxに、外符号C1'の生成多項式(数2)の根を代入し、シンドロームB「S0, S1, S2, S3, S4」を求める。ステップ(525)では、シンドロームBが

“0”であれば(S0, S1, S2, S3, S4の全てが“0”であれば)誤りなしと判定しステップ(527)へ進み、シンドロームBが“0”でなければ(S0, S1, S2, S3, S4の1つでも“0”でないものがあれば)誤りありと判定しステップ(526)へ進む。

【0057】ステップ(526)では、シンドロームAが“0”であれば(S0, S1, S2, S3, S4の全てが“0”であれば)誤りなしと判定しステップ(512)へ進み、シンドロームAが“0”でなければ(S

0, S1, S2, S3, S4の1つでも“0”でないものがあれば)誤りありと判定しステップ(508)へ進む。

【0058】ステップ(508)では、図6のステップ(508)と同様に、8つのシンドロームS0～S7を用いて、データAに対して、3シンボルのエラー訂正を行う。ステップ(509)では、訂正が行えたならステップ(512)へ進み、訂正が行えなかったならステップ(510)へ進む。

【0059】ステップ(510)では、前記ステップ(521)で求めたシンドロームA「S0～S4」を用いて、データAに対して、2シンボルのエラー訂正を行う。ステップ(511)では、訂正が行えたならステップ(512)へ進み、訂正が行えなかったならステップ(513)へ進む。

【0060】ステップ(512)では、外部バスインターフェイス(106)および外部バス(109)を介して、外部機器へデータAまたは訂正したデータAを転送し、動作を終了する。

【0061】ステップ(513)では、外部バスインターフェイス(106)および外部バス(109)を介して、外部機器へ訂正不能エラーが発生したことを通知し、動作を終了する。

【0062】ステップ(527)では、外部バスインターフェイス(106)および外部バス(109)を介して、外部機器へデータBを転送し、動作を終了する。

【0063】以上の第2の実施形態に係るフラッシュメモリディスク(101)によれば、前述の第1の実施形態に係るフラッシュメモリディスク(101)と同じ効果が得られると共に、コントローラ(102)側で未訂正のデータを復元する必要が無くなる。

#### 【0064】-第3の実施形態-

図10は、第3の実施形態に係るフラッシュメモリカード(900)を用いるMPEGカメラ(10)の正面図である。図11は、前記フラッシュメモリカード(900)の構成図である。このフラッシュメモリカード(900)は、第1または第2の実施形態で説明したフラッシュメモリチップ(111～113)と、第1または第2の実施形態で説明したコントローラ(102)と同様のカードコントローラ(102A)とで構成される。

【0065】図12に示すように、カードコントローラ(102A)によるデータの消去単位は、2048バイトである。一方、エラー訂正符号ECCは、MPEGカメラ(10)のデータ処理単位である512バイト毎に付加し、処理する。

【0066】上記第3の実施形態に係るフラッシュメモリカード(900)によれば、データ処理単位である512バイトでエラー訂正符号ECCを処理するので、書き込み／読み出し時に余計な読み出しなどを必要とせず、処理を簡単化でき、高速に動作させることができることが可能である。

ある。また、データ消去単位は、データ処理単位の2倍以上の2048バイトであるため、回路の削減とバイト当たりの高速化を図ることが出来る。

【0067】図13は、上記フラッシュメモリカード(900)の1チップ化の設計手順を示すフロー図である。フラッシュメモリチップ(111～113)のオンチップECC回路(120～123)をそのまま活用できるため、コントローラ及びそのエラー訂正機能ブロックの設計(1401)だけで済み、作業の負担が小さくなり、コストを低減できる。

【0068】なお、図14に示すように、上記フラッシュメモリカード(900)は、携帯端末(11)に用いることも出来る。

#### 【0069】-第4の実施形態-

図15は、第4の実施形態に係るフラッシュメモリカード(901)を用いる携帯用音再生装置(12)の外観図である。図16は、上記フラッシュメモリカード(901)の構成図である。このフラッシュメモリカード(901)は、第1の実施形態で説明したフラッシュメモリチップ(111～113)と、マイクロコンピュータ(902)とで構成される。エラー訂正機能は特殊な演算を高速に行う必要があり、マイクロコンピュータ(902)では負荷が重い。すなわち、システムのスループットを非常に落としてしまう。従って、マイクロコンピュータ(902)は、外部とのデータの入出力を行うためのインターフェース機能を有するが、エラー訂正機能は有していない。よって、図17に示すように、フラッシュメモリチップ(111～113)のオンチップECC回路(120～123)で生成される内符号C2だけが、エラー訂正符号ECCとして、携帯用音再生装置(12)のデータ処理単位であるデータの512バイト単位に附加される。

【0070】上記フラッシュメモリカード(901)によれば、高価なコントローラの代わりに、安価なマイクロコンピュータ(902)を使用するので、非常に安価に製作できる。また、携帯用音再生装置(12)のデータ処理単位である512バイト単位でエラー訂正符号ECCを処理するので、書き込み／読み出し時に余計な読み出しなどを必要とせず、処理を簡単化でき、高速に動作させることができる。また、データ消去単位を、データ処理単位の2倍以上に大きくすれば、回路の削減とバイト当たりの高速化を図ることが出来る。なお、上記フラッシュメモリカード(901)の信頼性は、第2の実施形態のフラッシュメモリカード(900)よりも劣るが、図15に示す携帯用音再生装置(12)では、信頼性はさほど必要ではなく、フラッシュメモリカード(901)が安価にできるメリットの方が大きい。

#### 【0071】

【発明の効果】本発明の記録再生装置および半導体メモリによれば、次の効果が得られる。

(a) 第1および第2の実施形態において示したように、半導体メモリ部での誤訂正があっても、その悪影響を受けずに、半導体メモリ部が持つエラー訂正能力とコントローラ部が持つエラー訂正能力とを共に活用でき、高信頼性を得ることが出来る。例えば、本発明では、半導体メモリ部のエラー訂正能力を1シンボルとし、コントローラ部のエラー訂正能力を2シンボルとするとき、3シンボルのエラー訂正能力を得ることが出来る。これに対して、従来技術では、3シンボルのエラー訂正能力が必要な場合、半導体メモリ部のエラー訂正能力を使用せずに、コントローラ部のエラー訂正能力を3シンボルとしていた。通常、エラー訂正回路の符号器、シンドローム生成器などは、エラー訂正能力に比例して回路規模が増えるので、本発明では、コントローラ部のエラー訂正回路の回路規模を、従来技術に比べて、2/3に削減することが出来る。

(b) 第3の実施形態において示したように、半導体メモリが使用される装置におけるデータ処理単位でエラー訂正符号を処理するので、処理を簡単化できる。また、データ処理単位よりも大きいデータ消去単位とすることで、回路の削減とバイト当たりの高速化を図ることが出来る。また、半導体メモリが持つエラー訂正機能をそのまま活用できるので、エラー訂正機能を持つ半導体メモリをコアとした記録再生装置の設計が容易になる。

(c) 第4の実施形態において示したように、半導体メモリチップとマイクロコンピュータのみで記録再生装置を構成できるので、記録再生装置を安価に製作できる。

【図面の簡単な説明】

【図1】第1の実施形態に係るフラッシュメモリディスクの構成図である。

【図2】第1の実施形態に係るフラッシュメモリチップの詳細構成図である。

【図3】第1の実施形態に係るフラッシュメモリディスクで処理するデータフォーマットを示す概念図である。

【図4】第1の実施形態に係るオンチップECC回路の読み出し時の動作を示すフローチャートである。

【図5】外符号から見たエラー位置と内符号から見たエラー位置の説明図である。

【図6】第1の実施形態に係るコントローラのECC回路の読み出し時の動作を示すフローチャートである。

【図7】第2の実施形態に係るフラッシュメモリチップの詳細構成図である。

【図8】第2の実施形態に係るオンチップECC回路の読み出し時の動作を示すフローチャートである。

【図9】第2の実施形態に係るコントローラのECC回

路の読み出し時の動作を示すフローチャートである。

【図10】第3の実施形態に係るフラッシュメモリカードを用いたMPEGカメラの正面図である。

【図11】第3の実施形態に係るフラッシュメモリカードの構成図である。

【図12】第3の実施形態に係るフラッシュメモリカードで処理するデータフォーマットを示す概念図である。

【図13】第3の実施形態に係るフラッシュメモリカードを設計する手順を示すフローチャートである。

10 【図14】第3の実施形態に係るフラッシュメモリカードを用いた携帯端末の斜視図である。

【図15】第4の実施形態に係るフラッシュメモリカードを用いた携帯用音再生装置の斜視図である。

【図16】第4の実施形態に係るフラッシュメモリカードの構成図である。

【図17】第4の実施形態に係るフラッシュメモリカードで処理するデータフォーマットを示す概念図である。

【図18】従来のフラッシュメモリカードを設計する手順を示すフローチャートである。

20 【符号の説明】

100 : MPEGカメラ

11 : 携帯端末

12 : 携帯用音再生装置

101 : フラッシュメモリディスク

102 : コントローラ

102A : カードコントローラ

107 : ECC回路

111~114 : フラッシュメモリチップ

115~118 : フラッシュメモリ素子

30 120~123 : オンチップECC回路

601 : 剰余多項式レジスタ

602 : 訂正フラグレジスタ

603 : 誤り位置レジスタ

604 : 誤り値レジスタ

605 : 訂正OKフラグ

606 : 訂正不能フラグ

607 : 制御回路

608 : エラー訂正回路

609 : エラー訂正符号化回路

40 620 : ラッチ回路

621 : エラーフラグ

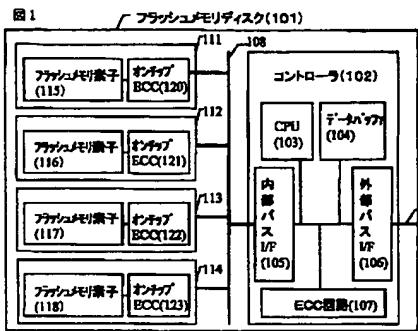
900, 901 : フラッシュメモリカード

902 : マイクロコンピュータ

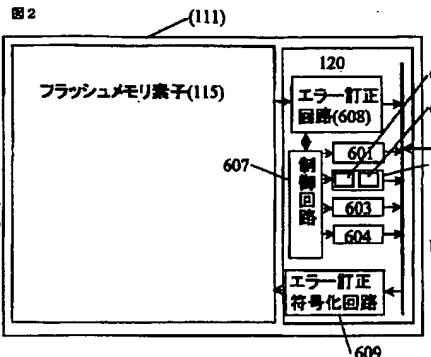
C1 : 外符号 (第1エラー訂正符号)

C2 : 内符号 (第2エラー訂正符号)

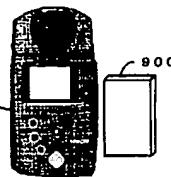
【図1】



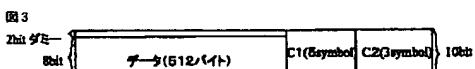
【図2】



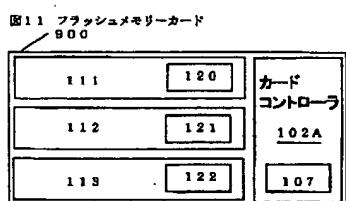
【図10】



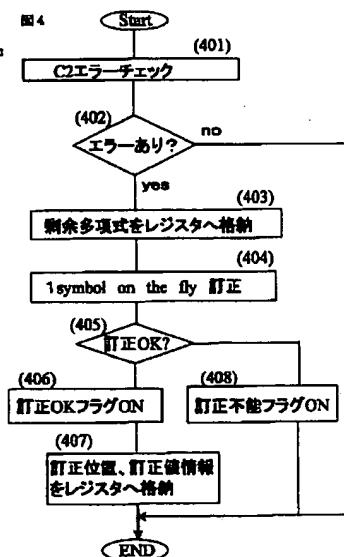
【図3】



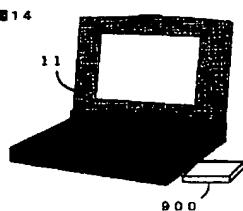
【図11】



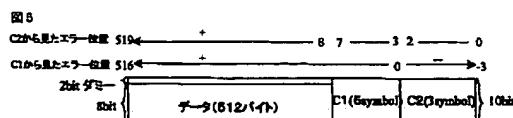
【図4】



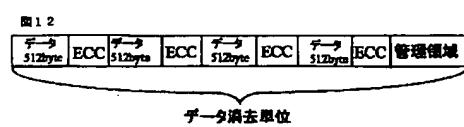
【図14】



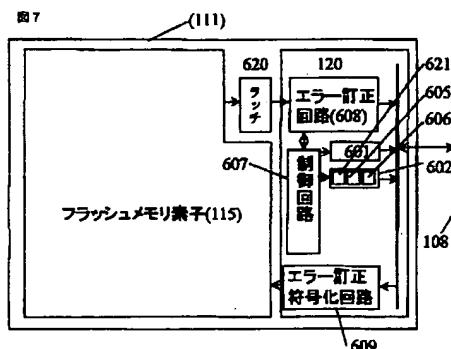
【図5】



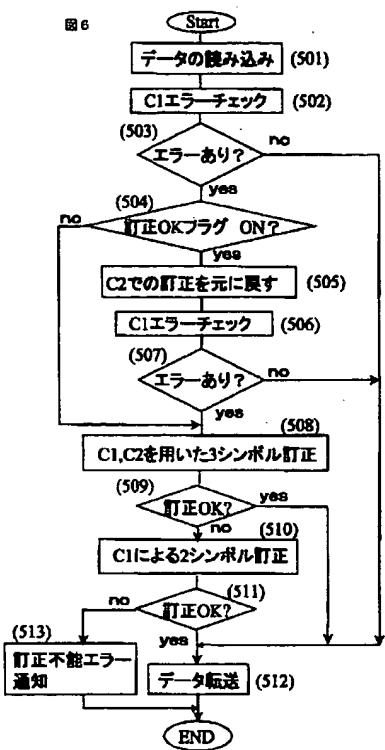
【図12】



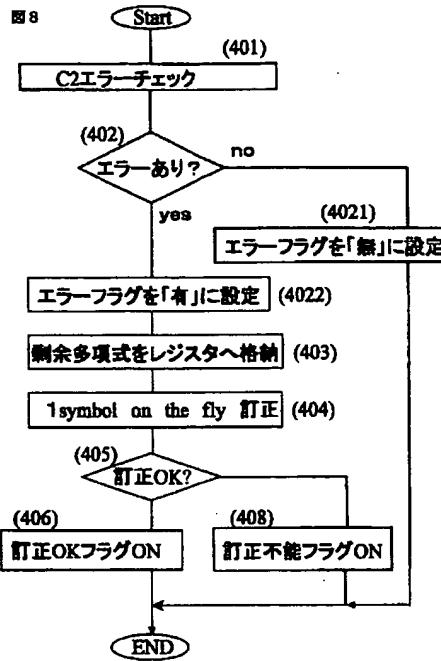
【図7】



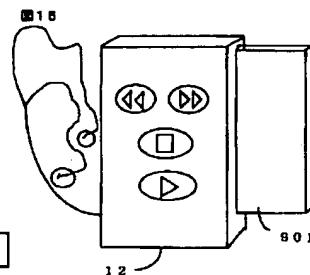
【図6】



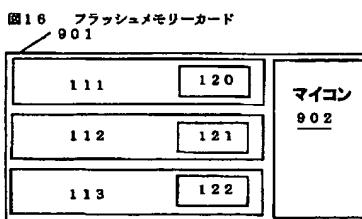
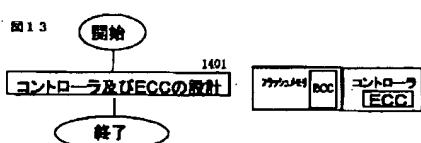
【図8】



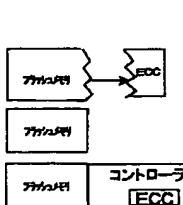
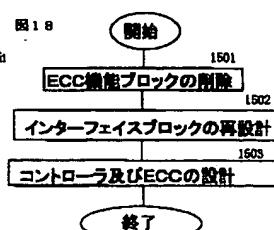
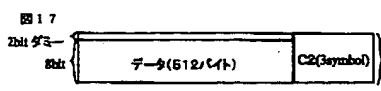
【図15】



【図13】



【図17】



【図9】

